

Grupe za izradu projektnih zadataka:

Grupa 1: Jovan Radonjić 1001/22 Stojan Knežević 1004/22	Datum odbrane: 16.12.2022.	Projekat 1
Grupa 2: Vasilisa Mijušković Danilo Planinić	Datum odbrane: 16.12.2022.	Projekat 2
Grupa 3: Jovan Vuković Jovana Maraš	Datum odbrane: 16.12.2022.	Projekat 3
Grupa 4: Ksenija Samardžić 1002/22	Datum odbrane: 16.12.2022.	Projekat 4
Grupa 5: Svetozar Ivanović 10/21 Damir Trnčić 1/21	Datum odbrane: 16.12.2022.	Projekat 5
Grupa 6: Jovana Anđelić 2/21 Luka Leposavić 12/21	Datum odbrane: 16.12.2022.	Projekat 6
Grupa 7: Anja Brtan 7/21 Andrej Cvijetić 11/21 Andrija Peruničić 4/21	Datum odbrane: 16.12.2022.	Projekat 7
Grupe 8: Marina Radonjić 1046/22 Slađana Sarić 1049/22	Datum odbrane: 23.12.2022.	Projekat 8
Grupa 9: Saša Mikulić 1053/22 Mišo Tapušковиć 1058/22	Datum odbrane: 23.12.2022.	Projekat 9
Grupa 10: Dubravka Keković Stefan Ćurić	Datum odbrane: 23.12.2022.	Projekat 10
Grupa 11: Vavić Danilo 1051/22 Boris Vučeraković	Datum odbrane: 23.12.2022.	Projekat 11
Grupa 12: Andrijana Drašković 1054/22 Predrag Drašković 1055/22	Datum odbrane: 23.12.2022.	Projekat 12
Grupa 13: Danijela Danilović 1047/22 Milika Danilović 1048/22	Datum odbrane: 23.12.2022.	Projekat 13
Grupa 14: Amina Pirović 35/22 Ivana Bošković 11/21	Datum odbrane: 23.12.2022.	Projekat 14

Predmetnom nastavniku studenti dostavljaju:

- **programski kod** za hardversku realizaciju u elektronskoj formi
- **.docx verziju seminarskog rada** koja mora da sadrži:
 - Uvod u kome se objašnjava šta je traženo projektnim zadatkom,
 - Objašnjenje odabranog algoritma za rješenje projektnog zadatka,

- Objašnjenje hardverske realizacije i demonstraciju ostvarenih rezultata (grafičku, a po želji i tabelarnu),
- Resurse upotrebljene za hardversku realizaciju,
- Zaključak.

Navedene stavke su neophodne, a student može da proširi predloženi koncept, po želji.

Odbrana se organizuje u terminu nastave, od 14:15h u sali L2/Coinis. Traženo se dostavlja predmetnom nastavniku najkasnije 48 sati prije odbrane. Za odbranu su studenti dužni da pripreme .ppt/.pptx prezentaciju i izlaganje u trajanju ne kraćem od 20 minuta i ne dužem od 30 minuta. **Bez usmenog izlaganja se pismeni dio rada neće priznati.**

Ukoliko jedan od članova tima odustane, drugi je dužan da uradi realizuje projektni zadatak sam.

Projekat 1:

Dizajnirati, realizovati i testirati u VHDL-u *arbitarski sistem* koji kontroliše način upotrebe dijeljenog resursa između tri modula (prvi modul ima najveći prioritet, a treći modul najmanji prioritet pristupa dijeljenom resursu).

Projekat 2:

Dizajnirati, realizovati i testirati u VHDL-u *sistem za provjeru zauzetosti parking mjesta*. Razmatrajte parking sa jednim ulazom i jednim izlazom.

Projekat 3:

Dizajnirati, realizovati i testirati u VHDL-u *kontrolor semafora* na prostoju raskrsnici (presjek dvije ulice).

Projekat 4:

Dizajnirati, realizovati i testirati u VHDL-u *sistem za inkrementiranje BCD brojeva*. Razmatrajte BCD vrijednosti sa 3 broja (12 bita).

Projekat 5:

Dizajnirati, realizovati i testirati u VHDL-u *kolo za dijeljenje* integera (jer operator / ne može biti sintetizovan zbog kompleksnosti). Izlazi sistema su rezultat dijeljenja i ostatak dijeljenja.

Projekat 6:

Dizajnirati, realizovati i testirati u VHDL-u *automat za kafu*. U automat je moguće ubaciti apoenje od 50 centi, 1 euro i 2 eura, a kafa košta 1.5 euro. Automat vraća kusur.

Projekat 7:

Dizajnirati, realizovati i testirati u VHDL-u *floating-point kalkulator* za koji je u mogućnosti da sabira, množi i poredi floating point brojeve. Neka posmatrani kalkulator radi sa 13 bitnim brojevima (1 bit za sign, 4 za eksponent, 8 za mantisu).

Projekat 8:

Dizajnirati, realizovati i testirati u VHDL-u sistem koji će detektovati sinhrono prisustvo sekvence 1010 kod dva ulazna signala i kratkim (tick) signalom oglasiti tu detekciju.

Projekat 9:

Dizajnirati, realizovati i testirati u VHDL-u sistem za Gray-ov kod proizvoljne binarne sekvence. Funkcionalnost provjeriti za slučaj 4-bitne sekvence.

Projekat 10:

Dizajnirati, realizovati i testirati u VHDL-u *pomjerački sistem* koji će se sastojati od modula (komponenti) za učitavanje podatka u registar, pomjeranje sadržaja registra ulijevo (za 1 i za 2 bita), pomjeranje sadržaja

podatka udesno (za 1 i za 2 bita), pauziranje, rotiranje podataka u registru ulijevo i rotiranje podataka u registru udesno. Podrazumijevati rad sa 16-bitnim registrima.

Projekat 11:

Dizajnirati, realizovati i testirati u VHDL-u *brojački sistem* koji će se sastojati od modula (komponenti) za brojanje naviše, brojanje naniže, brojanje svakog drugog podatka, pauziranje, učitavanje konkretne vrijednosti. Podrazumijevati rad sa 8-bitnim vrijednostima.

Projekat 12:

Dizajnirati, realizovati i testirati u VHDL-u *edge detektor* koji će se sastojati od modula (komponenti) za detektovanje uzlazne ivice, silazne ivice, i obje ivice (i uzlazne i silazne).

Projekat 13:

Dizajnirati, realizovati i testirati u VHDL-u *aritmetičko-logičku jedinicu* koji će se sastojati od dva modula (komponente) za aritmetičke i za logičke operacije. Neophodno je uključiti sve moguće (definisane) operacije.

Projekat 14:

Dizajnirati, realizovati i testirati u VHDL-u *programabilni mod-M brojač* upotrebom FSM pristupa.